

PAT-NO: JP02001177115A  
DOCUMENT-IDENTIFIER: JP 2001177115 A  
TITLE: HIGH BREAKDOWN VOLTAGE SEMICONDUCTOR  
DEVICE  
PUBN-DATE: June 29, 2001

INVENTOR-INFORMATION:

NAME	COUNTRY
NODA, MASAAKI	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
MATSUSHITA ELECTRONICS INDUSTRY CORP	N/A

APPL-NO: JP11359275

APPL-DATE: December 17, 1999

INT-CL (IPC): H01L029/861, H01L029/06 , H01L029/41 ,  
H01L021/331 , H01L029/73  
, H01L029/78

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a high breakdown voltage semiconductor device which is hardly deteriorated in breakdown voltage and kept high in reliability even if it is used at a high temperature.

SOLUTION: A cathode diffusion region 3 is formed on a semiconductor substrate 1, anode diffusion regions 2a and 2b are formed so as to surround the cathode diffusion region 3 separating from it, plate electrodes 5a, 6a, and 7a are arranged on an oxide film 4 between the anode diffusion region 2a and the

cathode diffusion region 3, and a metal wiring 10-1 for a cathode electrode 10 is laid so as to intersect the plate electrodes arranged in an array. The surface protective film 12 is coated with an organic insulating film 13 of polyimide or polybenzooxazole, and the organic insulating film 13 is sealed up with epoxy resin 14.

COPYRIGHT: (C)2001, JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-177115

(P2001-177115A)

(43)公開日 平成13年6月29日 (2001.6.29)

(51)Int.Cl.  
H 01 L 29/861  
29/06  
29/41  
21/331  
29/73

識別記号

F I  
H 01 L 29/06  
29/91  
29/44  
29/72  
29/78

テマコード(参考)  
4 M 1 0 4  
D 5 F 0 0 3  
E  
6 5 2 P

審査請求 未請求 請求項の数 2 O L (全 8 頁) 最終頁に続く

(21)出願番号 特願平11-359275

(71)出願人 000005843

松下電子工業株式会社  
大阪府高槻市幸町1番1号

(22)出願日 平成11年12月17日 (1999.12.17)

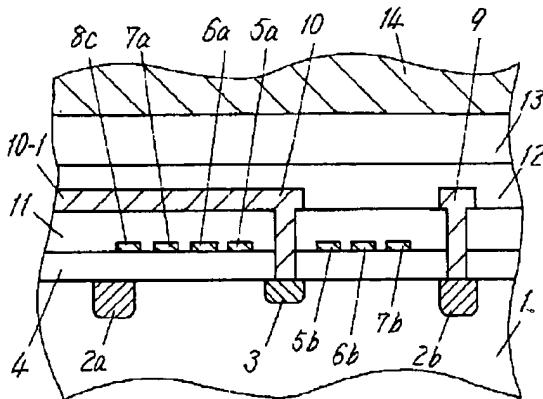
(72)発明者 野田 正明  
大阪府高槻市幸町1番1号 松下電子工業  
株式会社内  
(74)代理人 100097445  
弁理士 岩橋 文雄 (外2名)  
F ターム(参考) 4M104 EE06 EE18 FF11 GG02 HH20  
5F003 AP04 AP10 BH01 BZ01

(54)【発明の名称】 高耐圧半導体装置

(57)【要約】

【課題】 高温で使用しても耐圧が劣化しない高信頼性を有する高耐圧半導体装置の提供。

【解決手段】 半導体基板1にカソード拡散領域3を形成し、それから離間し包囲するようにアノード拡散領域2a, 2bを形成し、アノード拡散領域2aとカソード拡散領域3の間の酸化膜4上にプレート電極5a, 6a, 7aを配列し、配列した複数のプレート電極と交差するようにカソード電極10用の金属配線10-1を配線する。そして、表面保護膜12の上をポリイミド系またはポリベンゾオキサゾール系の有機絶縁膜13で被覆して、更にその上をエポキシ樹脂14で封止する。



## 【特許請求の範囲】

【請求項1】 第1導電型の半導体基体に形成された第2導電型の第1の拡散領域と、前記半導体基体に前記第1の拡散領域とは離間して形成された第1導電型の第2の拡散領域と、前記半導体基体上に形成された第1の無機絶縁膜と、前記第1，第2の拡散領域間の前記第1の無機絶縁膜上にそれぞれ離間してフローティング状態で形成された複数のプレート電極と、前記第1の無機絶縁膜および前記複数のプレート電極の上を被覆する第2の無機絶縁膜と、前記第1，第2の無機絶縁膜の所定領域に形成された開口を通じて前記第1の拡散領域との接続を行う第1の金属電極と、前記第1，第2の無機絶縁膜の所定領域に形成された開口を通じて前記第2の拡散領域との接続を行う第2の金属電極と、前記複数のプレート電極の長手方向と交差し前記複数のプレート電極による配列に沿って前記第2の無機絶縁膜上を配線され、且つ前記第2の金属電極に接続される金属配線と、前記第1，第2の金属電極および前記第2の無機絶縁膜の上を被覆する第3の無機絶縁膜と、前記第3の無機絶縁膜を被覆するポリイミド系またはポリベンゾオキサゾール系の有機絶縁膜と、前記有機絶縁膜の上を封止するエポキシ樹脂とを具備した高耐圧半導体装置。

【請求項2】 第1導電型の半導体基体に形成された第2導電型の第1の拡散領域と、前記半導体基体に前記第1の拡散領域とは離間して形成された第1導電型の第2の拡散領域と、前記半導体基体上に形成された第1の無機絶縁膜と、前記第1，第2の拡散領域間の前記第1の無機絶縁膜上にそれぞれ離間してフローティング状態で形成された複数のプレート電極と、前記第1の無機絶縁膜および前記複数のプレート電極の上を被覆する第2の無機絶縁膜と、前記第1，第2の無機絶縁膜の所定領域に形成された開口を通じて前記第1の拡散領域との接続を行う第1の金属電極と、前記第1，第2の無機絶縁膜の所定領域に形成された開口を通じて前記第2の拡散領域との接続を行う第2の金属電極と、前記複数のプレート電極の長手方向と交差し前記複数のプレート電極による配列に沿って前記第2の無機絶縁膜上を配線され、且つ前記第2の金属電極に接続される金属配線と、前記第1，第2の金属電極および前記第2の無機絶縁膜の上を被覆する第3の無機絶縁膜と、前記第3の無機絶縁膜を被覆するポリイミド系またはポリベンゾオキサゾール系の有機絶縁膜と、前記有機絶縁膜の上を封止するエポキシ樹脂とを具備した高耐圧半導体装置。

前記有機絶縁膜の上を封止するエポキシ樹脂とを具備した高耐圧半導体装置。

【発明の詳細な説明】

【0001】 【発明の属する技術分野】 本発明は高信頼性を有する高耐圧半導体装置に関するものである。

【0002】 【従来の技術】 まず、従来の高耐圧半導体装置の代表的な例としてPN接合ダイオードを取り上げ、従来の高耐圧半導体装置について図3、図4を用いて説明する。図3は従来の高耐圧PN接合ダイオードの平面構造図であり、図4は図3中のA-Aの断面構造を示す断面構造図であり、図4中の斜線部分は金属配線を示している。

【0003】 図3及び図4において、1はN型の半導体基板、2a、2bはP型のアノード拡散領域、3はN型のカソード拡散領域、4は酸化膜、5～8は電気的にフローティング状態にされたプレート電極、9は金属製のアノード電極、9aは酸化膜4と層間絶縁膜11の所定箇所に開けられた開口、10は金属製のカソード電極、10aは酸化膜4と層間絶縁膜11の所定箇所に開けられた開口、10-1はカソード電極10に接続された金属配線、11は層間絶縁膜、12は表面保護膜である。そして、カソード電極10に接続された金属配線10-1は、フローティング状態のプレート電極5～8を横切るように、層間絶縁膜11の上を配線されている。また、アノード拡散領域2a、2bは、カソード拡散領域3を包围するように形成されている。そして、N型の半導体基板1とP型のアノード拡散領域2a、2bとのPN接合によって、PN接合ダイオードを構成する。

【0004】 上記構成に於て、アノード電極9に正電圧を与えるとともに、カソード電極10に負電圧を与えると、このPN接合ダイオードは順方向導通する。逆に、アノード電極9に負電圧を与えるとともに、カソード電極10に正電圧を与えると、PN接合が逆バイアスされることになり、このPN接合ダイオードは非導通になる。

【0005】 図4に示す従来装置は、フローティング状態にされた複数個のプレート電極5～8を金属配線10-1の下層部に配列して、カソード電極10から引き出された金属配線10-1が下地の半導体基板1に悪影響を与えないようにするものであり、その原理を以下に説明する。

【0006】 これらのプレート電極5～8に印加される電位は、その上層に配線される金属配線10-1との間の寄生容量と、その下層に在る半導体基板1との間の寄生容量との直列回路によって、金属配線10-1の電位とプレート電極(5～8)直下における半導体基板1部分の電位との差電圧を分圧して与えられる。例えば、対向面積をAとし、絶縁物の厚さをtとし、誘電率をεとすると、並行平板コンデンサの容量値Cは次式(1)で

求められる。

$$C = \epsilon A / t$$

そして、下地の酸化膜4と層間絶縁膜1の材料が同じで、膜厚が等しければ、容量値Cは対向面積Aに比例する。今仮に、酸化膜4及び層間絶縁膜1をSiO<sub>2</sub>で形成し、両方とも同じ膜厚で図3に示す平面構造のように構成し、各プレート電極5, 6, 7, 8と金属配線10-1との間の寄生容量（上層部の寄生容量）を順にCb1, Cb2, Cb3, Cb4とし、各プレート電極5, 6, 7, 8と半導体基板1との間の寄生容量（下層）※10

$$Ca1/Cb1 = 4$$

そして、プレート電極5～8は同じ大きさにしているので、他のプレート電極（6～8）についても、下層部と上層部との寄生容量の比は同じく4倍になる。

【0009】次に、アノード電極9を接地して、カソード電極10にカソード電圧V<sub>k</sub>を印加するものとし、その時のプレート電極5直下の電位をV<sub>d1</sub>として、プレ★

$$\Delta V_{p1} / (V_k - V_{d1}) = Cb1 / (Cb1 + Ca1) \cdots (3)$$

この（3）式に（2）式を代入すると、次式（4）になる。

$$\Delta V_{p1} = (V_k - V_{d1}) / 5 \cdots (4)$$

そして、残りのプレート電極6～8の分圧比についても、上記同様に考えれば良く、各プレート電極5～8直下の半導体基板1部分の電位とカソード電圧との差電圧を1/5にした電位差が、各プレート電極6, 7, 8と半導体基板1の電位差となる。

【0012】ところで、各プレート電極5～8における直下の半導体基板1電位は、カソード電圧V<sub>k</sub>の大きさに応じて、空乏層の広がりと共に変化する。今仮に、カソード電極10にカソード電圧V<sub>k</sub> = 400 (V)を印加すると、おおよそ図4のような電位分布になり、プレート電極5の直下の電位V<sub>d1</sub>は300 (V)、プレート電極6の直下の電位V<sub>d2</sub>は200 (V)、プレート電極7の直下の電位V<sub>d3</sub>は100 (V)、プレート電極8の直下の電位V<sub>d4</sub>は0 (V)になる。V<sub>k</sub> = 400 (V)でブレーキダウン現象を起こすようなデバイス設計になっていれば、丁度このような電位分布になる。

そこで、式（4）に上述の電位を代入して試算すると、プレート電極5直下の電位差 $\Delta V_{p1}$ は20 (V)、プレート電極6直下の電位差 $\Delta V_{p2}$ は40 (V)、プレート電極7直下の電位差 $\Delta V_{p3}$ は60 (V)、プレート電極8直下の電位差 $\Delta V_{p4}$ は80 (V)となる。そして、プレート電極5～8までの各電位は、直下の半導体基板1の電位にそれぞれの電位差を加算したものであるから、プレート電極5の電位V<sub>p1</sub>は320 (V)、プレート電極6の電位V<sub>p2</sub>は240 (V)、プレート電極7の電位V<sub>p3</sub>は160 (V)、プレート電極8の電位V<sub>p4</sub>は80 (V)となる。このことから、カソード拡散領域3から遠ざかるほど電位差が大きく、近いほど電位差が小さくなることが判る。そして、一番電位差の◆50

## \* \* 【0007】

…… (1)

※部の寄生容量）をCa1, Ca2, Ca3, Ca4とすると、それらの比は対向面積の比で決まる。プレート電極5と半導体基板1との対向面積はプレート電極5の平面上の面積となり、もう一方の金属配線10-1との対向面積は金属配線10-1とプレート電極5が交差している面積となる。図3の例では、その面積比を4倍にしているため、次式（2）となる。

## 【0008】

…… (2)

★ト電極5と半導体基板1との間の電位差を $\Delta V_{p1}$ とすれば、プレート電極5の電位は、寄生容量の直列回路の分圧比は容量値に比で決定され、次式（3）のようになる。

## 【0010】

$$\Delta V_{p1} / (V_k - V_{d1}) = Cb1 / (Cb1 + Ca1) \cdots (3)$$

## ☆【0011】

☆20

…… (4)

◆大きいプレート電極8直下の電位差 $\Delta V_{p4}$ であっても100 (V)以下であり、プレート電極5～8直下の半導体基板1や酸化膜4への悪影響は少ない。

【0013】この考えを反映して更に改善する平面構造を図5に示す。図5に示すように、プレート電極5, 6, 7を環状にすると、半導体基板1とプレート電極5, 6, 7との対向面積が金属配線10-1との対向面積に比べて極めて大きくなり、図5の例ではその面積比が約10倍、一番大きなプレート電極7では約25倍になる。一番外側のプレート電極8はアノード拡散領域2bとコンタクトをとる必要があるため部分的なものにしているが、それでも約10倍の面積比になっている。従って、プレート電極5～8直下の半導体基板1との電位差が最大になるプレート電極8直下の電位差 $\Delta V_{p4}$ でも約10 (V)となり、プレート電極5～8の下層部への影響が殆ど無くなる。

【0014】ここでは、逆バイアスした時に非導通状態を維持することを耐圧と定義し、高いバイアス電圧で非導通状態を維持することを高耐圧と定義し、製造直後における半導体装置の耐圧を初期耐圧と定義している。

## 【0015】

【発明が解決しようとする課題】しかしながら、高電圧の逆バイアスをP/N接合に印加したまま、高温状態（周囲温度150°C）で寿命試験する高温バイアス試験を行うと、従来の高耐圧半導体装置の耐圧が短時間に劣化することが判明した。

【0016】高温バイアス試験における耐圧の劣化については、メカニズムはまだ解明されていないが、N型の半導体基板1の表面近傍にP型反転層20が生じて、N

型のカソード拡散領域3端部で電界集中が生じているものと推測される。

【0017】以下、図6を用いてその推論を説明する。

【0018】一般的に半導体チップは、エポキシ樹脂14で封止され、水分が樹脂パッケージの中に浸透しないように対策されている。しかし、エポキシ樹脂として一般的に用いられるノボラックエポキシ樹脂には、イオン性不純物が多く含まれており、例えば、ナトリウムNa<sup>+</sup>、カリウムK<sup>+</sup>、塩素Cl<sup>-</sup>、フッ素F<sup>-</sup>等が数十ppmのオーダーで含まれている。更に問題なのは水酸基OHが0.9%~1.6%も含まれている点である。そして、この水酸基OHが高温時に活性化して、一般的には絶縁物として考えられているエポキシ樹脂14の絶縁性が悪化し、半絶縁状態（高抵抗で導通する状態）になる。ノボラックエポキシ樹脂以外にも数々のエポキシ樹脂はあるが、程度の差はあっても同様の傾向を示す。

【0019】通常、高耐圧半導体装置は、半導体チップをエポキシ樹脂14でモールドしており、複数の外部端子（図示せず）と半導体チップ上の複数のパッド（図示せず）との間をそれぞれ金属ワイヤ（図示せず）で接続している。これらの金属ワイヤには接地電位である0(V)、カソード電圧V<sub>k</sub>である400(V)がそれぞれ印加されるから、上記の理由でエポキシ樹脂14が半絶縁状態になれば、400(V)と0(V)との中間電位がエポキシ樹脂14を介して表面保護膜12の表面に与えられることになる。

【0020】そこで、高温バイアス試験時に半導体チップの表面保護膜12とエポキシ樹脂14との界面が200(V)の電位を持った場合を仮定し、その時の電位分布について図6を用いながら説明する。図6は、図5に示す平面形状の従来装置に対して、カソード電圧V<sub>k</sub>=400(V)で高温バイアス試験をしている最中の電位分布を想定した図面であり、等電位線は破線で示している。

【0021】図6において、プレート電極5には前述した寄生容量C<sub>a1</sub>、C<sub>b1</sub>が存在する他に、エポキシ樹脂14との間に形成される寄生容量C<sub>c1</sub>が存在する。又、プレート電極6、7、8に於いても同様に、エポキシ樹脂14との間に形成される寄生容量C<sub>c2</sub>、C<sub>c3</sub>、C<sub>c4</sub>が存在する。そして、寄生容量C<sub>b1</sub>は、金属配線10-1とプレート電極5との交差部分の容量であるので、寄生容量C<sub>a1</sub>に比べて十分小さいことは前述した。又、各プレート電極5~8とエポキシ樹脂14との間に形成される寄生容量C<sub>c1</sub>~C<sub>c4</sub>は、層間絶縁膜11と表面保護膜12を合計した膜厚が下層にある酸化膜4の約2倍になると、プレート電極5~8のエポキシ樹脂14と対向する面積が半導体基板1に対向する面積とほぼ等しくなる事により、寄生容量C<sub>a1</sub>~C<sub>a4</sub>の各値の約1/2倍の値になる。

【0022】従って、高温バイアス試験中にエポキシ樹

脂14が半絶縁性になり、エポキシ樹脂14の電位が200(V)の中間電位になったとすると、室温では約300(V)であったプレート電極5の電位が寄生容量C<sub>c1</sub>の影響で約270(V)に低下する。一方、最低電位となるプレート電極8の電位は、室温では約10(V)であったが、寄生容量C<sub>c4</sub>の影響で約70(V)に上昇する。その結果、半導体基板1と酸化膜4との界面を横切る等電位線は300(V)以上の部分がカソード拡散領域3の方に傾き、その界面に於ける酸化膜4側の電位がN型の半導体基板1表面に対して負電位になる。

【0023】なお、半導体基板1と酸化膜4との界面において酸化膜4側が高温雰囲気中で負電位になると、その界面のSi-H、Si-OHなどの結合が破壊され、正の固定電荷が発生することが報告されている（日科技連出版社発行の著書『半導体デバイスの信頼性技術』）。このような現象が起きて、半導体基板1と酸化膜4との界面に正の固定電荷が発生すると、同時に負の可動電荷も発生する。すると、負の可動電荷は、カソード拡散領域3の正の高電位に経時時間とともに引き寄せられ、酸化膜4中のカソード拡散領域3寄りに負電荷が多く分布する領域が生じる一方、負の可動電荷が発生した元々の箇所に、正の固定電荷が多く分布する領域が生じる。すなわち、カソード拡散領域3に近い酸化膜4中の界面には負電荷が多く存在する為、半導体基板1中の正孔が引き寄せられ、N型の半導体基板1の表面がP型に反転して、P型反転層20になる。一方、正の固定電荷が残存した領域では、半導体基板1中の電子が引き寄せられ半導体基板1中の電子密度が局部的に高くなり、半導体基板1の表面にN型蓄積層21が生じる。このようにして、図6で示されたP型反転層20とN型蓄積層21が半導体基板1の表面に形成されて、P型反転層20のカソード拡散領域3に近い部分で電界集中が発生し、アノード・カソード間の耐圧を経時的に劣化させるものと考えられる。

【0024】本発明は、上記課題を解決するものであり、高温で使用しても耐圧が劣化しない高信頼性の高耐圧半導体装置を提供することを目的とする。

【0025】

【課題を解決するための手段】この目的を達成するためには本発明の高耐圧半導体装置は、第1導電型の半導体基板に形成された第2導電型の第1の拡散領域と、前記半導体基板に前記第1の拡散領域とは離間して形成された第1導電型の第2の拡散領域と、前記半導体基板上に形成された第1の無機絶縁膜と、前記第1、第2の拡散領域間の前記第1の無機絶縁膜上にそれぞれ離間してフローティング状態で形成された複数のプレート電極と、前記第1の無機絶縁膜および前記複数のプレート電極の上を被覆する第2の無機絶縁膜と、前記第1、第2の無機絶縁膜の所定領域に形成された開口を通じて前記第1の

拡散領域との接続を行う第1の金属電極と、前記第1、第2の無機絶縁膜の所定領域に形成された開口を通じて前記第2の拡散領域との接続を行う第2の金属電極と、前記複数のプレート電極の長手方向と交差し前記複数のプレート電極による配列に沿って前記第2の無機絶縁膜上を配線され、且つ前記第2の金属電極に接続される金属配線と、前記第1、第2の金属電極および前記第2の無機絶縁膜の上を被覆する第3の無機絶縁膜と、前記第3の無機絶縁膜を被覆するポリイミド系またはポリベンゾオキサゾール系の有機絶縁膜と、前記有機絶縁膜の上を封止するエポキシ樹脂とを具備した構成である。

【0026】この構成により、半導体チップの最上層をポリイミド系有機絶縁膜またはポリベンゾオキサゾール系有機絶縁膜で被覆し、その上をエポキシ樹脂で封止する。これらの有機絶縁膜は、含有するイオン性不純物が少なく、高温においても絶縁性を保つ一方、比誘電率が小さいという性質を持っている。従って、金属配線上の絶縁膜の厚さ（第3の無機絶縁膜と有機絶縁膜を含めた厚さ）が従来に比べて厚くなり、加えて有機絶縁膜の比誘電率が小さいことによる相乗効果で、エポキシ樹脂とプレート電極間の寄生容量が小さくなるから、使用周囲温度が高温になり、エポキシ樹脂が導電性を持ったとしても、プレート電極の電位変動が小さく、耐圧の劣化が少なくなる。

【0027】また、別の発明は、第1導電型の半導体基体に形成された第2導電型の第1の拡散領域と、前記半導体基体に前記第1の拡散領域とは離間して形成された第1導電型の第2の拡散領域と、前記半導体基体上に形成された第1の無機絶縁膜と、前記第1、第2の拡散領域間の前記第1の無機絶縁膜上にそれぞれ離間してフローティング状態で形成された複数のプレート電極と、前記第1の無機絶縁膜および前記複数のプレート電極の上を被覆する第2の無機絶縁膜と、前記第1、第2の無機絶縁膜の所定領域に形成された開口を通じて前記第1の拡散領域との接続を行う第1の金属電極と、前記第1、第2の無機絶縁膜の所定領域に形成された開口を通じて前記第2の拡散領域との接続を行う第2の金属電極と、前記複数のプレート電極の長手方向と交差し前記複数のプレート電極による配列に沿って前記第2の無機絶縁膜上を配線され、且つ前記第2の金属電極に接続される金属配線と、前記第1、第2の金属電極および前記第2の無機絶縁膜の上を被覆するポリイミド系またはポリベンゾオキサゾール系の有機絶縁膜と、前記有機絶縁膜の上を封止するエポキシ樹脂とを具備した構成である。

【0028】この構成により、半導体チップの最上層をポリイミド系有機絶縁膜またはポリベンゾオキサゾール系有機絶縁膜で被覆し、その上をエポキシ樹脂で封止する。高温時にも絶縁性を保つと共に比誘電率の小さい性質を有したこれらの有機樹脂は、膜厚を厚く形成するこ

とが容易であり、有機絶縁膜のみによる表面保護が可能であり、使用周囲温度が高温になっても、高い耐圧を維持できる。

#### 【0029】

【発明の実施の形態】以下、本発明の実施の形態に係る高耐圧半導体装置について、図面を参照しながら説明する。

【0030】まず、第1の実施形態に係る高耐圧半導体装置について、図1及び図5を用いて説明する。図5は高耐圧半導体装置の平面構造を示す平面図であり、図1は図5中のB-B箇所の断面構造を示す断面図である。

【0031】図1及び図5において、1はN型の半導体基板（半導体基体）、2a、2bはP型のアノード拡散領域（第1の拡散領域）、3は高濃度N型のカソード拡散領域（第2の拡散領域）、4は酸化膜（第1の無機絶縁膜）、5、5a、5b、6、6a、6b、7、7a、7b、8、8cはドープドシリコン製または金属製によるフローティング状態のプレート電極、9は金属製のアノード電極（第1の金属電極）、10は金属製のカソード電極（第2の金属電極）、10-1はカソード電極10に接続された金属配線、11は酸化膜または窒化膜による層間絶縁膜（第2の無機絶縁膜）、12はCVD法で形成された窒化膜による表面保護膜（第3の無機絶縁膜）、13はポリイミド系またはポリベンゾオキサゾール系の有機絶縁膜、14はモールドするためのエポキシ樹脂である。

【0032】半導体基板1は、N型不純物を導入したシリコン基板であっても良いし、P型のシリコン基板にN型ウエルを形成し、そのN型ウエルを半導体基板として扱っても良いし、ゲルマニウムや化合物半導体による基板であっても良い。

【0033】アノード拡散領域2a、2bは、カソード拡散領域3から離間した位置を包囲する環状の平面形状で形成され、半導体装置（ダイオード）の初期耐圧を高めるにはカソード拡散領域3からの離間距離を大きくすると良い。

【0034】初期耐圧を高くするには、カソード拡散領域3の平面形状を円形状にして、アノード拡散領域2a、2bの平面形状をカソード拡散領域3と同心円となる円環状にするのが理想的である。しかし、初期耐圧のレベルを妥協して、マスク設計のし易さを優先するのであれば、六角形や八角形のような角部が鈍角となる多角形にしても、初期耐圧が多少低くなる程度で実用上は問題無い。

【0035】プレート電極5a～7bは、ドープドシリコン製または金属製のもので導電性を有し、それぞれが電気的に独立したフローティング状態で使用され、長手方向が金属配線10-1と交差するように配置され、金属配線10-1との間は層間絶縁膜11で電気的に絶縁される。但し、短冊状のものを使用する場合は、金属配線10-1の直下に沿って配列される。そして、

カソード拡散領域3から離間してそれを包囲する円環状またはその類型のものを使用する場合は、カソード電極10に接続する金属配線10-1の引出方向を任意に選択することができ、この種のデバイスをマスク設計する際、またはマスク修正する際の設計自由度が大きくなる。

【0036】有機絶縁膜13は、ポリイミド系またはポリベンゾオキサゾール系の有機樹脂で形成された絶縁膜のことであり、何れも含有するイオン性不純物（例えば、ナトリウムNa<sup>+</sup>、カリウムK<sup>+</sup>、塩素Cl<sup>-</sup>、フッ素F<sup>-</sup>等）は1 ppm以下の測定不能なレベル（測定器の測定誤差以下のレベル）であり、エポキシ樹脂で問題にした水酸基OHも測定不能なレベルである。このため、高い絶縁性を有し、高温でもその絶縁性を維持する。また、これらの有機絶縁膜は、比誘電率が2~4の範囲であり、シリコン塗化膜の比誘電率9に比べてかなり小さい。しかも、スピンドルコート法で塗布した後の加熱処理で焼結すれば、膜の形成を完成するため、保護膜としての加工性が良い。また、スピンドルコート法での塗布作業を数回行って、多層塗りしたものにすれば、膜厚20 μmまでは容易に厚くできる。ただし、有機樹脂の膜厚15 μm以上にすると、塗布後のバーニングが困難になる。

【0037】そして、図1及び図4に示す高耐圧半導体装置は、N型の半導体基板1に高濃度N型のカソード拡散領域3を形成し、それから離間し且つそれを包囲するようにP型のアノード拡散領域2a, 2bを形成している。従って、アノード拡散領域2aと2bは電気的に接続された状態である。また、プレート電極5, 6, 7はアノード拡散領域2a, 2bとカソード拡散領域3との間の酸化膜4上にそれぞれ離間して配置され、カソード電極10に接続された金属配線10-1はプレート電極5~7と交差するように層間絶縁膜11上を配線される。そして、層間絶縁膜11上の金属配線および層間絶縁膜11の上を約1.5 μm厚の表面保護膜12で被覆し、その上を有機絶縁膜13で被覆して、更にその上をエポキシ樹脂14で封止する。有機絶縁膜13は、材料としてポリイミド系樹脂またはポリベンゾオキサゾール系樹脂を用い、約4 μmの膜厚で使用するものとする。なお、表面保護膜12は、塗化膜のみで構成しても良いし、下層を酸化膜とし上層を塗化膜とする多層構造のものであっても良い。このようにすると、塗化膜の耐湿性が良好であるから、有機絶縁膜13としてポリイミド系樹脂を使用した場合にも、半導体チップの耐湿性を確保できる。

【0038】上記の構成により、半導体チップの最上層をポリイミド系またはポリベンゾオキサゾール系の有機絶縁膜で被覆するから、金属配線10-1上の絶縁膜の厚さ（表面保護膜12と有機絶縁膜13を含めた厚さ）が従来に比べて厚くなることで、プレート電極5a, 5

b, 6a, 6b, 7a, 7bとエポキシ樹脂14との間の寄生容量が小さくなり、加えて有機絶縁膜13の比誘電率が小さいことによる相乗効果で、エポキシ樹脂14とプレート電極5~7との間の寄生容量が更に小さくなる。従って、高温時にエポキシ樹脂14が絶縁性が悪化したとしても、プレート電極5a, 5b, 6a, 6b, 7a, 7bの電位変動が小さくなるので、耐圧の劣化が少くなり、高温バイアス試験でも長寿命の結果が得られる。

10 【0039】次に、第2の実施形態による高耐圧半導体装置について、図2を参照しながら説明する。

【0040】図2において、1はN型の半導体基板（半導体基体）、2a, 2bはP型のアノード拡散領域（第1の拡散領域）、3は高濃度N型のカソード拡散領域（第2の拡散領域）、4は酸化膜（第1の無機絶縁膜）、5a, 5b, 6a, 6b, 7a, 7b及び8cはドープドポリシリコン製または金属製のプレート電極、9は金属製のアノード電極（第1の金属電極）、10は金属製のカソード電極（第2の金属電極）、10-1はカソード電極10に接続された金属配線、11はCVD法によって形成された酸化膜または塗化膜による層間絶縁膜（第2の無機絶縁膜）、13はポリイミド系またはポリベンゾオキサゾール系の有機絶縁膜、14はモールドするためのエポキシ樹脂である。

【0041】そして、図2の実施形態は、第1の実施形態で用いた塗化膜による表面保護膜12を使用せずに、有機絶縁膜13のみで表面保護を行った点で異なり、以下その点を中心に説明する。プレート電極5a, 5b, 6a, 6b, 7a, 7bはアノード拡散領域2a, 2bとカソード拡散領域3との間の酸化膜4上にそれぞれ離間して配置され、カソード電極10に接続された金属配線10-1はプレート電極5~7と交差するように層間絶縁膜11上を配線される。そして、層間絶縁膜11上の金属配線10-1および層間絶縁膜11の上を有機絶縁膜13で被覆し、更にその上をエポキシ樹脂14で封止する。有機絶縁膜13は、材料としてポリイミド系樹脂またはポリベンゾオキサゾール系樹脂を用い、厚い膜厚5~12 μmで使用するものとする。

【0042】このように構成すると、有機絶縁膜13のみによる表面保護が可能であり、比誘電率が小さく且つ絶縁性の良好な有機絶縁膜13によって、厚い膜厚で表面保護されるから、プレート電極5a, 5b, 6a, 6b, 7a, 7bに付随する寄生容量を小さくできる。そして、高耐圧半導体装置の使用周囲温度が高くなり、エポキシ樹脂14の絶縁性が悪化しても、高い耐圧を保つことができる。

【0043】なお、上述した第1、第2の実施形態では、ダイオードを例にとって説明したが、これに限らずDMOSトランジスタ等のパワーデバイス、バイポーラトランジスタ、サイリスタ等の半導体装置に適用でき、

それらにおいても同様の効果が得られることは言うまでもない。

【0044】また、上述の説明は、高耐圧を如何に確保するかの観点で説明したが、ポリイミド系樹脂は吸湿性があり、パッケージングの状態が悪いと、金属配線が腐食することがある。しかし、ポリベンゾオキサゾール系樹脂は耐湿性が良好であり、総合的な信頼性を考慮すると、ポリベンゾオキサゾール系樹脂を有機絶縁膜として用いる方が有利である。

#### 【0045】

【発明の効果】以上のように、本発明の高耐圧半導体装置は、半導体チップの最上層をポリイミド系またはポリベンゾオキサゾール系の有機絶縁膜で被覆し、その上をエポキシ樹脂で封止するから、高温時にも絶縁性を保つと共に比誘電率の小さい性質を有したこれらの有機絶縁膜により、膜厚の厚い表面保護が可能となり、プレート電極に付随する寄生容量を小さくすることができる。そして、高温時にエポキシ樹脂の絶縁性が悪化しても、高い耐圧を維持できる。

【0046】また、有機絶縁膜のみによる表面保護も可能であり、弾力性のある膜厚の厚い有機絶縁膜によって、半導体チップに加わる応力を吸収することもでき、応力による抵抗値の変動や、トランジスタの電気的特性の変動を少なくすることができ、大集積の集積回路装置や高性能な集積回路装置への応用も可能である。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施形態における高耐圧半導体装置の断面構造を示すものであり、図5中のB-B箇所の断面構造を示す断面図

【図2】本発明の第2の実施形態における高耐圧半導体装置の断面図

【図3】従来装置の平面構造を示す平面図

【図4】図3中のA-A箇所の断面構造を示す断面図

【図5】高耐圧半導体装置の平面構造を示す平面図

10 【図6】従来装置の電位分布を説明するための断面図

#### 【符号の説明】

1 半導体基板

2a, 2b アノード拡散領域

3 カソード拡散領域

4 酸化膜

5a, 5b, 6a, 6b, 7a, 7b プレート電極

8c プレート電極

9 アノード電極

10 カソード電極

10-1 金属配線

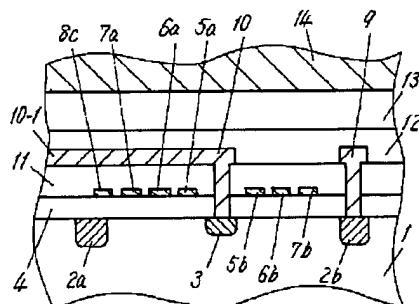
11 層間絶縁膜

12 表面保護膜

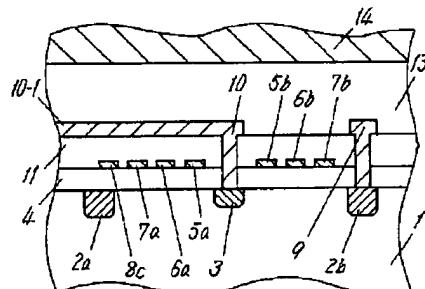
13 有機絶縁膜

14 エポキシ樹脂

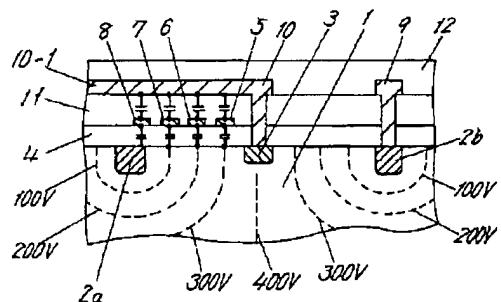
【図1】



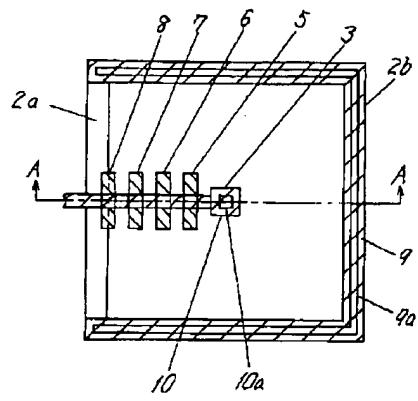
【図2】



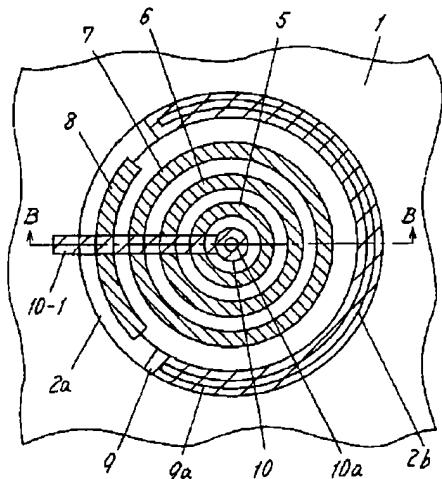
【図4】



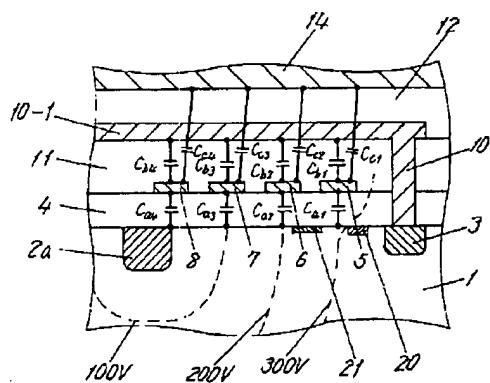
【図3】



【図5】



【図6】



フロントページの続き

(51)Int.Cl.7

H 01 L 29/78

識別記号

F I

テマコト(参考)

DERWENT-ACC-NO: 2002-209172

DERWENT-WEEK: 200227

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: High pressure resistant  
semiconductor device for large  
scale integrated circuit, consists of  
protection film coated with organic insulating film  
and sealed by epoxy resin

PATENT-ASSIGNEE: MATSUSHITA ELECTRONICS CORP [MATE]

PRIORITY-DATA: 1999JP-0359275 (December 17, 1999)

PATENT-FAMILY:

PUB-NO	PUB-DATE	
LANGUAGE	PAGES	MAIN-IPC
JP 2001177115 A		June 29, 2001
008	H01L 029/861	N/A

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
APPL-DATE		
JP2001177115A	N/A	
1999JP-0359275	December 17, 1999	

INT-CL (IPC): H01L021/331, H01L029/06, H01L029/41,  
H01L029/73,  
H01L029/78, H01L029/861

ABSTRACTED-PUB-NO: JP2001177115A

BASIC-ABSTRACT:

NOVELTY - Cathode diffusion area (3) and anode diffusion areas (2a,2b) are formed on a semiconductor substrate (1). Plate electrodes (5a,6a,7a) are arranged between the diffusion areas and cathode (10) is connected to area (3) by a metallic interconnection (10-1).

DETAILED DESCRIPTION - Inorganic protection film (12) on the plate electrodes, is coated with organic insulating film (13) of polyimide/polybenzoxazole group, on which an epoxy resin (14) is sealed.

USE - E.g. PN junction diode, transistor used in large scale integrated circuit.

ADVANTAGE - Since the uppermost layer of semiconductor chip is coated with film of polyimide or polybenzoxazole group and is sealed by epoxy resin, insulation is maintained even at high temperatures and a relative dielectric constant is small so that parasitic capacitance of the plate electrode is also small. The stress on the semiconductor chip and the variation of resistance are also decreased.

DESCRIPTION OF DRAWING(S) - The drawing shows the sectional view of semiconductor device.

semiconductor substrate 1  
anode diffusion areas 2a, 2b  
cathode diffusion area 3  
plate electrodes 5a, 6a, 7a  
metallic interconnection 10-1  
inorganic protection film 12  
organic insulating film 13  
epoxy resin 14

CHOSEN-DRAWING: Dwg.1/6

TITLE-TERMS: HIGH PRESSURE RESISTANCE SEMICONDUCTOR DEVICE  
SCALE INTEGRATE  
CIRCUIT CONSIST PROTECT FILM COATING ORGANIC

INSULATE FILM SEAL  
EPOXY RESIN

DERWENT-CLASS: A85 L03 U11

CPI-CODES: A99-A; L04-C20A; L04-E02;

EPI-CODES: U11-A08A1; U11-C05A; U11-D01C6;

SECONDARY-ACC-NO:

CPI Secondary Accession Numbers: C2002-063854

Non-CPI Secondary Accession Numbers: N2002-159588